

BEST AVAILABLE COPY

DIALOG(R) File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

03317298

FLASH EEPROM SYSTEM

PUB. NO.: 02-292798 JP 2292798 ✓ A]
PUBLISHED: December 04, 1990 (19901204)
INVENTOR(s): ERIYAHOU HARARI
ROBAATO DEII NOOMAN
SANJIEI MEEROTORA
APPLICANT(s): SANDEISUKU CORP [000000] (A Non-Japanese Company or
Corporation), US (United States of America)
APPL. NO.: 02-099114 [JP 9099114]
FILED: April 12, 1990 (19900412)
PRIORITY: 7-337,566 [US 337566-1989], US (United States of America),
April 13, 1989 (19890413)
INTL CLASS: [5] G11C-016/06; H01L-021/82; H01L-027/115; H01L-029/788;
H01L-029/792
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2
(INFORMATION PROCESSING -- Memory Units)
JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &
Microprocessors)

⑨日本国特許庁 (JP) ⑩特許出願公開
⑪公開特許公報 (A) 平2-292798

⑫Int.Cl.⁵
G 11 C 16/06

識別記号

庁内整理番号

⑬公開 平成2年(1990)12月4日

7131-5B G 11 C 17/00 309 A
8624-5F H 01 L 27/10 434 *

審査請求 未請求 請求項の数 62 (全28頁)

⑭発明の名称 フラッシュEEPROMシステム
⑮特 願 平2-99114
⑯出 願 平2(1990)4月12日
優先権主張 ⑰1989年4月13日⑯米国(US)⑯337566
⑰発明者 エリヤホウ ハラリ アメリカ合衆国、95030 カリフォルニア州ロス ガトス、オーゼレイズ コート 104
⑰発明者 ロバート ディー. ノーマン アメリカ合衆国、95120 カリフォルニア州 サン ホセ、ペブルウッド コート 6656
⑰発明者 サンジエイ メーロトラ アメリカ合衆国、95035 カリフォルニア州 ミルピタス、パークシヤー ブレイス 735
⑯出願人 サンディスク コーポレイション アメリカ合衆国、95054 カリフォルニア州 サンタ クララ、スト 150
⑰代理人 弁理士 井ノロ 審
最終頁に続く

明細書

1.発明の名称

フラッシュEEPROMシステム

2.特許請求の範囲

(1) フラッシュEEPROMシステムで、

それぞれがフラッシュEEPROMセルのアレイをもち、そのアレイは複数のセクタに分けられており、各セクタはその中に含まれている全てのセルを同時に消去できるようにアドレス可能である1以上の集積回路チップと、

消去動作のために1または2以上のチップから複数のセクタを選択する手段と、そして

選択された前記セクタに対してのみ、同時に消去を実行する手段と、

からなるフラッシュEEPROMシステム。

(2) 請求項1記載のフラッシュEEPROMであって、

チップに関する読みまたは書きの操作はチップセレクト信号により可能にされており、チップに対しての消去操作はチップセレクト信号に無関係に

行なわれるフラッシュEEPROMシステム。

(3) 請求項1記載のフラッシュEEPROMシステムであって、

消去操作のために選ばれた複数個のセクタについて消去の操作が行なわれ、

一方、消去操作により選ばれなかった他の装置については、読み書きその他の操作が行なわれるフラッシュEEPROMシステム。

(4) 請求項1記載のフラッシュEEPROMシステムであって、

選択された複数のセクタから1または2以上のセクタの組合せを個々に取り除き、前記取り除かれたセクタが前記消去操作中にさらに消去されることを防ぐようとする手段をさらに含むフラッシュEEPROMシステム。

(5) 請求項1記載のフラッシュEEPROMシステムであって、

全てのセクタを同時に選択しない手段をさらに含むフラッシュEEPROMシステム。

(6) 請求項1記載のフラッシュEEPROMシステム

テムであって、

前記選択手段は、各々のセクタに関連してステータスを保持するために設けられ、そのセクタが選択されたか、されないかを指示するための個々のレジスタをさらに含むフラッシュEEPROMシステム。

(7) 求項6記載のフラッシュEEPROMシステムであって、

前記同時消去手段は、前記個々のレジスタの各々のステータスに応答し、選ばれたセクタのみが消去に含まれるようにするフラッシュEEPROMシステム。

(8) 求項6記載のフラッシュEEPROMシステムであって、

選ばれた状態を指示する個々のレジスタの1または2以上の組合せは、個々に選ばれなかった状態にリセット可能であるフラッシュEEPROMシステム。

(9) 求項6記載のフラッシュEEPROMシステムであって、

タに分割されており、

前記代替セルは欠陥セルと同じセクタの中に設けられているシステム。

(13) 求項11記載のフラッシュEEPROMセルのアレイに含まれる欠陥セルから誤り修正のためのシステムであって、

前記欠陥セルのアドレスを対応する代替セルに結びつけるための欠陥ポインタを蓄積するための欠陥マップをさらに含むシステム。

(14) 求項13記載のフラッシュEEPROMセルのアレイに含まれる欠陥セルの中の誤ったデータを修正するためのシステムであって、

前記欠陥セルのための欠陥マップは前記欠陥セルと同じセクタに設けられているシステム。

(15) 求項10記載のフラッシュEEPROMセルのアレイの中の欠陥セルから誤りを修正するためのシステムであって、

前記アレイは複数のフラッシュ消去可能なセクタに分けられており、各セルの中の全てのセルは同時に消去可能であり、

前記全ての個々のレジスタは、関連するセクタが選択されなかったことを示すステータスへ同時にリセット可能なものであるフラッシュEEPROMシステム。

(10) フラッシュEEPROMセルのアレイの中の欠陥セルから誤りを修正するためのシステムであって、

代替セルと、

1または2以上の欠陥セルを対応する数の代替セルに代替するための手段から構成したシステム。

(11) 求項10記載のEEPROMセルのアレイに含まれる欠陥セルから誤差を修正するためのシステムであって、

前記代替手段は新しく発見された欠陥セルに対しても直ちに適用されるものであるシステム。

(12) 求項10記載のEEPROMのアレイの中の欠陥セルから誤差を修正するためのシステムであって、

前記アレイは各セクタに含まれるセルが同時に請求されるように複数のフラッシュ消去可能なセク

そのセクタの中の欠陥セルの数が予め定められた数を越えない限りにおいて、代替セルは同じセクタ内に設けられ、

前記数を越える場合においては、代替セルは異なるセクタに設けられるシステム。

(16) 求項15記載のフラッシュEEPROMセルのアレイの中に含まれる欠陥セルから誤りを修正するためのシステムであって、

前記数を越えるときに、前記セクタはそのままそっくり代替セルによって置き換えられるシステム。

(17) 求項15記載のフラッシュEEPROMセルのアレイの中に含まれる欠陥セルから誤りを修正するためのシステムであって、

前記代替手段は新しい欠陥セルが検出されるや否やそのセルにもまた自動的に適用されるものであるシステム。

(18) 求項17記載のフラッシュEEPROMセルのアレイの中の欠陥セルから誤りを修正するためのシステムであって、

誤差修正コードを使用することを含むシステム。

(19) フラッシュ EEPROM セルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

欠陥セルのために予定される良いデータを保存するための代替セルと、

1 または 2 以上の欠陥セルの中のデータをその欠陥セルがアクセスされたときに対応する代替セルの中の良いデータに置き換えるための手段とからなるシステム。

(20) 請求項 10 記載のフラッシュ EEPROM セルのアレイの中に含まれる欠陥セルの中の悪いデータを修正するためのシステムであって、

欠陥セルに書き込まれるべく予定されている良いデータを対応する代替セルに自動的に蓄積することにより、良いデータの完全性を保つシステム。

(21) 請求項 20 記載のフラッシュ EEPROM セルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

前記代替手段は新しい欠陥セルが発見されると同時にそのセルに自動的に適用されるシステム。

(22) 請求項 20 記載のフラッシュ EEPROM セルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

各セクタの中の全てのセルが同時に消去できるというフラッシュ消去可能なセクタの複数個に分割されており、そこにはデータが蓄積されている前記アレイと、

悪いデータが含まれているデータがアクセスされた後に、前記代替手段が適用するシステム。

(23) 請求項 20 記載のフラッシュ EEPROM セルのアレイの中の欠陥データの中の悪いデータを修正するためのシステムであって、

前記アレイは各セクタの中の全てのセルが同時に消去されるようなフラッシュ消去セクタの複数個に分割されており、

前記代替セルは欠陥セルと同じセクタの中に設けられているシステム。

(24) 請求項 20 記載のフラッシュ EEPROM セルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

欠陥セルのアドレスと対応する代替セルのそれを関連づける欠陥ポインタを記憶するための欠陥マップをさらに含むシステム。

(25) 請求項 24 記載のフラッシュ EEPROM セルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

前記欠陥セルのための欠陥マップは前記欠陥セルと同じセクタの中に位置させられているシステム。

(26) 請求項 19 記載のフラッシュ EEPROM セルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

各々のセクタの中に含まれる全てのセルが同時に消去されるようなフラッシュ消去セクタの複数個に分割されている前記アレイと、

セクタの中の欠陥セルの数が予め定められた値を越えていないときには前記代替セルは前記欠陥セルと同じセクタの中にあり、

前記数を越える場合には、前記代替セルは異なったセクタの中にあるシステム。

(27) 請求項 26 記載のフラッシュ EEPROM セ

ルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

前記数を越える場合には前記セクタは全体として代替セクタに置き換えられるシステム。

(28) 請求項 26 記載のフラッシュ EEPROM セルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

前記代替手段は新しく発生する欠陥セルに自動的に適用されるシステム。

(29) 請求項 28 記載のフラッシュ EEPROM セルのアレイの中の欠陥セルの中の悪いデータを修正するためのシステムであって、

誤差修正コードを使用するシステム。

(30) フラッシュ EEPROM メモリの中にデータファイルを書込むための改良されたシステムであって、

前記フラッシュ EEPROM メモリのために予定されたデータを一時的に蓄積するためのキャッシュメモリは前記フラッシュ EEPROM メモリよりもより多くの読み／消去回数に有効に耐える

ものであるキャッシュメモリと、

あるシステムに応答し、前記フラッシュEEPROMメモリの代わりにデータファイルを書き込むための手段と、

前記キャッシュメモリの中の各データファイルを識別するための手段と、

各データファイルが最後に書き込まれたときからの時間を決定するための手段と、

前記キャッシュメモリの中に新しいデータファイルが要求されて余分な空間が必要になったときに前記キャッシュメモリからフラッシュEEPROMメモリへ最後に書き込まれて以来の最も長い時間を持つ、第1移動データファイルのための手段と、

からなる改良されたシステム。

(31)請求項30記載の改良されたシステムであって、

キャッシュメモリの中のファイルをダウンロードするためのバックアップされた不揮発性メモリと、

起こった電源の欠陥に応答して、キャッシュメモリの中のデータファイルをバックアップメモリにダウンロードするための手段で、これにより揮発性のキャッシュメモリからデータファイルを救う手段と、

から構成した改良されたシステム。

(32)請求項30記載の改良されたシステムであって、

そこにおいて、バックアップメモリはフラッシュEEPROMメモリの一部である改良されたシステム。

(33)請求項30記載の改良されたシステムであって、

キャッシュメモリはフラッシュEEPROMメモリのアクセス時間よりも明らかに速い応答時間を持つものである改良されたシステム。

(34)請求項30記載の改良されたシステムであって、

フラッシュEEPROMメモリの操作を制御するためのコントロール回路チップを持ち、

これにより改良されたシステムはコントローラ回路チップの一部である改良されたシステム。

(35)請求項30記載の改良されたシステムであって、

マイクロプロセッサシステムとランダムアクセスメモリを持ち、前記改良されたシステムはランダムアクセスメモリをもつマイクロプロセッサの中にソフトウェアによって組み込まれているものである改良されたシステム。

(36)フラッシュEEPROMメモリにデータファイルを書込むための改良されたシステムであって、

データファイル書込みのために、フラッシュEEPROM、EEPROMの代わりにキャッシュメモリに書く、あるシステムに応答する手段と、前記フラッシュEEPROMメモリに書込むシステムに応答する手段と、

データファイルの識別子と各データファイルが最後に書き込まれたときを記憶するためのタグメモリと、

前記キャッシュメモリの中に新しいデータファ

イルのための余分なスペースが要求されたときに前記キャッシュメモリから前記フラッシュEEPROMメモリに最後に書き込まれた時間が最も長いものを持つ最初に動いたデータファイルのための手段であり、これによって現実に書き込む回数を自動的に減少させることにより、フラッシュEEPROMメモリに関連するストレスを減少させる手段とからなる改良されたシステム。

(37)請求項36記載の改良されたシステムであって、

キャッシュメモリの中のデータファイルをダウンロードするためのバックアップされた不揮発性メモリと、

前記バックアップメモリにキャッシュメモリの中のデータをダウンロードするために電圧欠陥の発生に応答する手段であって、これにより揮発性のキャッシュメモリからデータを救済する改良された手段。

(38)請求項36記載の改良されたシステムにおいて、

バックアップメモリはフラッシュEEPROMの一部である改良されたシステム。

(39)請求項36記載の改良されたシステムにおいて、キャッシュメモリはフラッシュEEPROMメモリのアクセスタイムよりも実質的に速いものである改良されたシステム。

(40)請求項36記載の改良されたシステムであって、

フラッシュEEPROMの操作をコントロールするためのコントロールチップを含み、これにより改良されたシステムはコントローラ回路チップの一部を形成する改良されたシステム。

(41)請求項36記載の改良されたシステムであって、

マイクロプロセサシステムとランダムアクセスメモリを含み、

ここにおいて改良されたシステムはランダムアクセスメモリを持つマイクロプロセサシステムの中にソフトウェアによって構成されたものである改良されたシステム。

前記キャッシュメモリから前記フラッシュEEPROMメモリに最後に書込まれた最も長い時間ももつ最初に移動したデータファイルのための手段とからなる改良されたシステム。

(43)請求項42記載の改良されたシステムであって、

キャッシュメモリの中のファイルをバックアップされた不揮発性メモリの中にダウンロードするためのバックアップされた不揮発性メモリと、

キャッシュメモリ中のデータファイルをバックアップメモリへダウンロードするために電力欠陥に応答する手段で、これにより不揮発性キャッシュメモリで発生する問題からデータファイルを救済する改良されたシステム。

(44)請求項12記載の改良されたシステムにおいて、

前記バックアップメモリはフラッシュEEPROMの一部であるシステム。

(45)請求項42記載のフラッシュEEPROMメモリの中へデータを書込むための改良されたシス

(42)フラッシュEEPROMメモリの中にデータファイルを書込むための改良されたシステムであって、

フラッシュEEPROMメモリのためを意図して、一時的にデータファイルを蓄積するためのキャッシュメモリであって、このキャッシュメモリは前記フラッシュEEPROMメモリの書込み／消去サイクルよりかなり多い回数に耐えることができるキャッシュメモリと、

あるシステムに応答する手段であってデータファイルをフラッシュEEPROMメモリかその代わりにキャッシュメモリに書込む手段と、

前記キャッシュメモリの中に予めコピーした前記データファイルが存在しないときに、前記フラッシュEEPROMに書込み、そして前記キャッシュメモリの中に前記データファイルの前のコピーが存在しているときに、キャッシュメモリに書込む前記応答手段と、

前記キャッシュメモリの中に新しくデータファイルのための余分な空間が必要になったときに、

テムであって、

書込みのための前記応答手段は、データファイルの識別子と各データファイルが最後に書込まれた時間を記憶するためのタグメモリとを含み、前記応答手段は前記データファイルがタグメモリの中にタグされていないときに、フラッシュメモリに書込み、タグメモリの中に前記データファイルがタグされているときはキャッシュメモリに書込むものである改良されたシステム。

(46)フラッシュEEPROMメモリにデータファイルを書込むための改良されたシステムであって、

フラッシュEEPROMメモリのために意図されたデータファイルを一時的に記憶するキャッシュメモリであって、前記キャッシュメモリは前記フラッシュEEPROMメモリの書込み／消去回数よりも、はるかに耐力を持つキャッシュメモリと、

あるシステムに応答して、フラッシュEEPROMメモリまたはその代わりにキャッシュメモリのいずれかにデータファイルを書込むためにEEPROMメモリに書込む手段であって、前記応答

手段は前記予め定めた時間より後に前記ファイルに最後に書込まれたときに前記フラッシュEEPROMに書き込み、予め定められた期間内に最後に書込まれたファイルであるときに、前記キャッシュメモリに書込む応答手段と、

キャッシュメモリに新しいデータファイルの余分な空間が要求されたときに、前記キャッシュメモリからフラッシュEEPROMメモリに最後に書込まれた最も長い時間を持つ最初に移動したデータファイルのための手段であって、これにより、現実の書き込みの回数を減らして、フラッシュEEPROMメモリへ関連するストレスを最小にする最初に移動したデータファイルのための手段とから構成された改良されたシステム。

(47)請求項4-6記載の改良されたシステムにおいて、

前記キャッシュメモリは前記フラッシュEEPROMメモリのアクセスタイムよりかなり速いアクセスタイムを持っている前記改良されたシステム。

(48)請求項4-6記載の改良されたシステムであつ

て、

フラッシュEEPROMの動作を制御するための制御回路チップを含み、ここにおいて改良されたシステムはコントロール回路チップの一部である改良されたシステム。

(49)請求項4-6記載の改良されたシステムであつて、

マイクロプロセッサシステムとランダムアクセスメモリを含み、ここにおいて改良されたシステムはランダムアクセスメモリを持つマイクロプロセッサの中にソフトウェアによって構成されるものである改良されたシステム。

(50)フラッシュEEPROMメモリにデータファイルを書き込むための改良されたシステムであつて、

フラッシュEEPROMメモリを意図するデータファイルを一時的に記憶/貯蔵するためのキャッシュメモリであつて、前記キャッシュメモリは前記フラッシュEEPROMメモリが書き込み/消去のサイクルで耐える回数よりもかなり多くの回数に耐え得るものであるキャッシュメモリと、

(51)請求項5-0記載の改良されたシステムであつて、

キャッシュの中のデータファイルをダウンロードするためのバックアップ不揮発性メモリと、

発生した電力欠陥に応答してキャッシュメモリの中のデータファイルをバックアップメモリにダウンロードするための手段であつて、これによりキャッシュメモリの中の揮発からデータファイルを救済する応答手段からなる改良されたシステム。

(52)請求項5-0記載の改良されたシステムであつて、ここにおいてバックアップメモリは前記フラッシュEEPROMメモリの一部である改良されたシステム。

(53)請求項5-0記載の改良されたシステムであつて、

ここにおいてキャッシュメモリは、前記フラッシュEEPROMメモリのアクセスタイムよりもかなり速いアクセスタイムを持つものである改良されたシステム。

(54)請求項5-0記載の改良されたシステムにおいて、

データファイルの複数と各データファイルが最初に書込まれた時間を蓄積するためのタグメモリと、

あるシステムに応答してデータファイルを前記フラッシュEEPROMメモリかまたはその代わりにキャッシュメモリに書き込むためのフラッシュEEPROMへ書き込む手段であつて、前記応答手段は前記データファイルが前記タグメモリの中で複数されないときに、前記フラッシュEEPROMに書き込み、データファイルがタグメモリの中で複数されたときには、キャッシュメモリに書き込む応答手段と、

キャッシュメモリに新しいデータファイルのための余分なスペースが要求されたときに、キャッシュメモリから前記フラッシュメモリに最後に書き込まれたときから最も長い時間を持つ最初に移動したデータファイルのための手段であつて、これにより、現実の書き込みの回数を減らし、フラッシュEEPROMに加えられるであろうストレスを減少させる手段を含む改良されたシステム。

て、

前記フラッシュEEPROMの操作を制御するためのコントローラ回路チップを含み、これにより改良されたシステムはコントローラ回路チップの一部分である改良されたシステム。

(55)請求項50記載の改良されたシステムであって、

マイクロプロセッサシステムとランダムアクセスメモリを含み、ここにおいて、改良されたシステムはランダムアクセスメモリを持つマイクロプロセッサの中にソフトウェアによって構築されたシステムである改良されたシステム。

(56)システムバスと標準電源通信連絡するようにコンピュータシステムに差し込まれるのに適したメモリカードであって、次のものを含む、

複数のEEPROMの集積回路チップであって、それぞれのチップは、

大きな数の個々にアドレス可能な蓄積セルであって、それらは複数のセクタに分割され各セクタは複数の前記記憶セルを含み、

を初期的にプログラムする手段を含み、

前記読み込み手段は前記キャッシュメモリが読み出されるべきデータを含んでいるかどうかを初期的に決定する手段を含み、そして前記キャッシュメモリが書き込みのために満たされ、その最も古い使用されていないブロックのデータを前記EEPROMメモリに書き込むための手段と、これにより前記キャッシュメモリの中に新しいデータの余地を形成するようにしたメモリカード。

(58)請求項56記載のメモリカードであって、前記チップは複数の予備のセクタを含み、ここにおいて、前記代替手段は前記セクタの中のセルの数が一定値に達したときに前記セクタの一つのために前記予備のセクタを代替する手段を含むメモリカード。

(59)請求項58記載のメモリカードであって、誤差修正コードを用いる誤り修正を行なう手段を含むメモリカード。

(60)請求項56記載のメモリカードであって、前記システムバスに接続されているコントローラ

前記任意のセクタの中に含まれる複数の予備の記憶セルと、

前記システムバス上の信号に応答する手段であって、1またはそれ以上の指定されたセクタの全てのセルを消去するために前記セクタの他のセルを消去しない応答手段、

アドレスされた蓄積セルの状態を読むために、前記システムバスの信号に応答する手段と、アドレスされた蓄積セルを予め定められた状態にプログラムするために前記システムバス上の信号に応答する手段と、

前記1つのセクタの中の蓄積セルに企てられたプログラムまたは消去が不成功であったことに対応して予備のセルを代替させる手段であって、それにより前記セクタの残りのセルの動作を保持させる応答手段からなるメモリカード。

(57)請求項56にしたがうメモリカードであって、それは前記カードに設けられたキャッシュメモリをさらに含み、そして前記プログラム手段は前記EEPROMよりはむしろ前記キャッシュメモリ

とインターフェースを含み、前記コントローラは前記コンピュータシステムに接続可能である標準的な磁気ディスク駆動装置のための命令に応答可能なものであり、これにより前記ディスク駆動システムと同等、またはそれ以上のものであるメモリカード。

(61)請求項56記載のメモリカードであって、その中にはEEPROMチップの種々の操作のために種々の動作電圧が要求されており、標準電源から種々の動作電圧を発生させる手段を含むメモリカード。

(62)請求項16記載のメモリカードをその中に含んでいる貯蔵システムであって、

前記EEPROMチップの動作を制御するためのコントローラと、

前記EEPROMチップの動作のための電圧発生手段と、

前記貯蔵システムの動作中に誤差を修正する手段と、

前記貯蔵システムをコンピュータシステムにイ

ンタフェースするための手段とからなる蓄積システム。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は一般的には半導体の電気的に消去可能なプログラムリードオンリーメモリ (EEPROM)，さらに詳しくいえばフラッシュEEPROMチップ回路を蓄積したシステムに関する。

(従来の技術)

コンピュータシステムは典型的には大量のデータが蓄積のために磁気ディスクを使用する。しかしながら、ディスクドライブはそれらが大型であること、およびそれらが高度に精密な機械的な駆動機構を必要とする点において欠点を持っている。

したがって、それらは頑丈なものではなく、信頼性について問題があるばかりでなく、かなりの電力を消費する。

固体記憶装置であるDRAMとSRAMはこれらの欠点を持ち合わせていない。しかしながら、そ

m記憶システムを提供することである。

さらに他の目的はコンピュータシステムにおける不揮発性メモリとして使用することができる改良されたフラッシュEEPROMシステムを提供することである。

本発明のさらに他の目的は、コンピュータシステムの磁気ディスク装置の代わりに使用することができる改良されたフラッシュEEPROMシステムを提供することである。

本発明のさらに他の目的は、消去動作において改良を施されたフラッシュEEPROMシステムを提供することにある。

本発明のさらに他の目的は、改良された誤り修正を行なうことができるフラッシュEEPROMシステムを提供することにある。

本発明のさらに他の目的は、書き込み動作を改善することによりフラッシュEEPROMシステムに対するストレスを最小にすることができるフラッシュEEPROMを提供することにある。

本発明のさらに他の目的は書き込み動作において

れらはかなり高価なものであり、それらの記憶(揮発性)を維持するためには正常に電力を必要とし、かつ高価である。

EEPROMとフラッシュEEPROMは同様に固体記憶装置である。しかしながら、不揮発性であり、そして電力が落とされた後でも、その記憶を維持している。しかしながら、通常のフラッシュEEPROMは、それらが耐えられる書き込み(またはプログラム)／消去回数の数において有限の寿命をもっている。典型的にはそれらの装置は 10^3 から 10^5 の書き込み／消去回数を過ぎると信頼できなくなる。

そこで従来そのような素子、それらは半永久的なデータとかプログラムの蓄積が要求される場合であって、再プログラムの必要性にある程度の制限があってもいい場合において利用されている。

(発明の目的)

したがって、本発明の一つの目的はかなりの数の書き込み／消去回数に耐えて信頼性を維持することができる機能を拡張したフラッシュEEPROM

向上させたフラッシュEEPROMシステムを提供することにある。

(発明の要約)

これらの目的はEEPROMチップのシステムの構造や回路や技術における改良によって達成される。

本発明の一つの特徴はチップ上のEEPROMセルのアレイがセクタに構成され、そしてその各々のセルに含まれる全てのセルが同時に消去されることである。フラッシュEEPROM記憶システムは、コントローラの制御下にある(またはそれ以上の)フラッシュEEPROMチップを持っている。本発明においては、チップ間のセクタの任意の組合せを選択し、それらを同時に消去することを許容している。

これにより、本発明によるシステムは従来のすべてのセクタが毎回消されるか、または一つのセクタが一時に消される従来の構成に比べて、より早くかつ効率的になっている。

本発明においては、セクタの消去のための任意の

組合せ、または、消去動作において、さらに削除されることを阻止するために、選ばれないという任意の組合せを可能にしている。

この特徴は最初に正確に“消去”の状態にされたセクタを余分に消去することを停止することにおいて重要であり、これによりフラッシュEEPROMシステムに不必要的ストレスを与えることを防止している。

本発明においては、全システムにおける全てのセクタを全体として選ばないことを許容することにより、消去のために全てのセクタが選ばれないという状態を可能にしている。

この全体的なリセットは、このシステムをその当初の消去のために選ばれるべきセクタを選択する状態に早急に戻すということである。

本発明のさらに他の特徴は特定のチップを書き込み、読みまたは書き込みの動作に選択するチップセレクト信号と独立して選択が行なわれることである。したがって、EEPROMチップのあるチップを他の読み、または書き込み動作が行なわれている他の

のチップに含まれないものを削除のために選択できるということである。

本発明の他の特徴によれば、欠陥のあるフラッシュEEPROM記憶素子から発生する誤りを訂正するために使用する改良された誤り訂正回路または、技術が使用されることである。

本発明の一つの特徴はセルのレベルにおいて、欠陥セルのマッピングを許容することであり、それによって同じセクタのセルで欠陥のセルを置き換えることを可能にしている。欠陥セルを置き換えられたセルのアドレスに接続するための欠陥ポインタは欠陥マップに記載されている。欠陥のあるセルはアクセスされるたびごとに、その悪いデータは、代替のセルの良いデータに置き換えられる。

本発明のさらに他の特徴はセクタレベルにおいて欠陥マッピングを許容することである。

一つのセクタにおける欠陥セルの数がある一定の数を超えたときにその欠陥セルを含むセクタは他のセクタによって代替えされる。

本発明の重要な特徴は、欠陥のあるセルや欠陥

のあるセクタが発見されると、直ちにリマップされることである。これにより、誤差修正コードを適当に修正することにより、そのシステムで持ち上がってくるであろう誤差を最小にすることができる。

本発明のさらに他の特徴によれば、書き込みキャッシュを設けることにより、フラッシュEEPROMへの書き込みの回数を最小にすることができる。

これにより、このフラッシュEEPROMメモリは書き込み/削除回数によって発生させられる、より少ないストレスに従属されることにより、その老朽化を防止することである。最もアカティブなデータファイルは、フラッシュEEPROMメモリの代わりにキャッシュメモリに書き込まれる。

活動のレベルが予め定められたレベルに減少されたときは、データファイルがキャッシュメモリからフラッシュEEPROMメモリに書き込まれる。本発明の他の利点はより早いキャッシュメモリを使用することによって増大させられる。

本発明のさらに他の特徴によれば、コンピュータシステムメモリとして長い間、不揮発性貯蔵のためにコントローラとEEPROM回路チップを持つプリント回路基板が提供されるが、ハードディスクシステムの代わりに提供されることである。そしてそのプリント回路カードは本発明の他のいろいろな特徴を単独で、または組合せて盛り込むことができる。

さらに他の目的とか、特徴とか本発明の利点は、本発明の好適な実施例の記述にしたがって、理解されるであろう。そしてその記述は、添付図面等に開示して行なわれている。

(実施例)

EEPROMシステムの公的な具体的な実施例の記述

本発明の種々の特徴が盛り込まれているコンピュータシステムが一般的に第1A図に示されている。典型的なコンピュータシステムはバスライン23に接続されているマイクロプロセサ21。それにより主システムメモリ25にランダムアクセスすることができ、そして少なくとも1または2

以上の入出力装置27、例えばキーボード、モニタ、モデム等々が設けられている。典型的なコンピュータシステムバス23に接続されている他の主たるコンピュータの要素は大量の長期間使用可能な不揮発性メモリ29である。

典型的にそのようなメモリは10メガバイトのデータ蓄積能力をもつディスク駆動システムである。データは、システムの中の揮発性メモリ25の中に容易に引き出されて利用され、容易に補充されたり、または変えられたり、変更されたりする。

本発明の一つの側面は、前記のようなディスクドライブのシステムをある半導体メモリに変えることであるが、その際に不揮発性とか、メモリを消去するとか再書き込みの容易性とか、アクセスの速度とか、コストとか信頼性を犠牲にしないことである。これは電気的に消去可能であり、プログラムできるリードオンリーメモリ(EEPROM)の半導体回路チップを用いることによって、完成される。

この形式のメモリはハードディスクで磁気的な

メモリ媒体を駆動するものに比較して、動作電力が少ないと、非常に軽いという付加的な利点を備えるものであり、これにより電池で動作させられる可搬型のコンピュータに適していることができる。

全体の記憶装置29はコンピュータのシステムバス23に接続されているメモリコントローラ31とEEPROMの集積回路チップのアレイ33から構成されている。データと命令はコントローラ31からシリアルデータ線35を介して一般的にEEPROMアレイ33に通信される。

同様にして、データとステータス信号は、EEPROM33からコントローラ30にシリアルデータ線37を介して通信される。

その他の制御とかステータス回路、第1A図にはコントローラ31とEEPROMアレイ33間のその他の制御とかステータス回路は示されていない。

第1B図を参照するとコントローラ31は、好みしくは一つの集積回路チップ上に形成されてい

る。システムバス23の一部であるシステムアドレスとデータバス39はシステム制御線41に接続されており、そのシステム制御線41は読み込み、書き込みと、その他通常のコンピュータシステム制御線を含んでいる。

EEPROMアレイ33はEEPROMの集積回路チップ43、45、47等々を複数個含んでいる。それぞれはインターフェース回路40からのそれぞれのチップセレクトおよびイネーブル線49、51、53を含んでいる。

インターフェース回路40は、さらに回路57とシリアルデータ線35、37とのインターフェースとして働く。EEPROMチップ43、45、47に書き込まれるか、または読み出されるメモリの位置アドレスとデータはバス55、論理およびレジスタ回路57、さらに他のバス59を通してメモリチップ43、45、47等々に伝達される。

第1A図と第1B図に示されている全体のメモリ29は1枚のプリント回路カードに適当なメモリの大きさで製造されている。第1B図の種々の

システムバス39と41は他のコンピュータシステムとともに、そのようなカードのコネクト接続ピンに接続されている。さらに前記カードやその要素には種々の標準的な電力供給電圧(図示せず)が接続されている。

大量のメモリのためには、一つのアレイ33に形成されているものでは十分でない場合があり得る。そのような場合には、制御チップ31のシリアルデータ線35、37に付加的なEEPROMアレイを接続することができる。

このことは好みしくは一つのプリント回路カードによって行なわれることが望ましいのであるが、それをするために十分なスペースのない場合には、1またはそれ以上のEEPROMアレイを第2のプリント回路カードの上に形成し、そしてそれを物理的に第1のものの上に設けるか、設けてそれを共通のコントローラチップ31に接続することによって行なうことができる。

メモリ構造の消去

蓄積されるデータがファイルまたはブロックと

して行なわれるシステムデザインにおいては、そのデータは定期的に改定されたり、または新しい情報が導入される必要がある。

そして、もはや必要となつた情報の上に、さらに書き込みを行なうことにより、追加の情報を収容することが望まれる場合がある。フラッシュEEPROMメモリにおいてはメモリセルは、まず初めに情報を蓄積する前に消去の動作がある。すなわち、このことは書き込み（またはプログラム）の操作の前に常に消去の動作が先行されるということである。

通常のフラッシュ消去メモリ装置においては、消去の動作はいくつかの方法があり、その一つより行なわれる。例えば、インテルコーポレイションの27P-256、CMOSはフラッシュEEPROMにおいては、全体のチップが一時に消去される。

もし、チップの中の情報の全てが消去されるべきではないときには、まず初めに一時的にその情報が救済されなくてはならない。そしてそれは、他

ができる。各々のセクタは、別々にアドレスされ、そして選択的に消去される。最も重要な特徴は一緒に消去すべきいくつかのセクタの組合せを選択できることである。これにより、各々を独立して消去するという従来の技術に見られるものに比較してより早い消去システムを提供することができる。

第2図は、消去のために選ばれたいいくつかのセクタを略図している。一つのフラッシュEEPROMシステムは、例えば、201、203、205のように1またはそれ以上のフラッシュEEPROMチップを含んでいる。それらは図209を介してコントローラ31と通信している。典型的にはコントローラ31それ自身は図示されていないマイクロプロセッサシステムと通信している。

各フラッシュEEPROMチップの中のメモリはセクタに分離されており、その一つのセクタの中の全ての記憶セルは同時に消去できる。使用者に利用可能なものとして、例えば各々のセクタが512バイト（すなわち512×8セル）があり、

のメモリ（典型的にはRAM）に書き込まれる。そしてその情報はその装置に再度プログラムすることによって、不揮発性のフラッシュ消去メモリの中に回復される。

これは時間を要することであり、費用もかかり、作業空間も必要である。

他の装置、例えばシーケンテクノロジーインコーポレイテッドのモデル48512フラッシュEEPROMチップにおいては、メモリはブロック（またはセクタ）に分割されており、それらは別々に分離して消去可能である。しかしながら、毎回一つずつ行なわなければならない。希望するセクタの選択により、消去の段階に入り、指定された領域が消去される。

一時的な記憶装置の必要はなくなるのであるが、種々のメモリ領域の消去は依然として時間がかかる逐次作業を必要とする。

本発明においては、フラッシュEEPROMメモリはいくつかのセクタに分割され、そこにおいてそのセクタに含まれるセルは同時に消去するこ

一つのチップは1024セクタを持っている。各セクタは独立してアドレス可能に分割されており、そして例えばセクタに211、213、215、217というように複数のセクタが消去可能に選択される。

第2図に図示されているように、選択されたセクタは一つのEEPROMチップに限られるか、またはシステム中のいくつかのチップ内に分散させられることができる。選ばれたセクタは同時に消去されるであろう。この能力は、この発明によるメモリシステムに従来の構造のものよりも、より早い操作を許容するものである。

第3A図は、フラッシュEEPROM（例えば第2図のチップ201など）で、1または、それ以上のセクタが消去のために選択または選択されなかった状態を示すロックダイヤグラムである。実際上は各セクタ、例えば211、または213が各セクタに関連して設けられている。例えば211、213のような消去可能なレジスタの状態の設定または、設定によるタグをつけるとか選択さ

れるかによって、各々のセクタ 221, 223 が選択されている。

選択と引き続く消去動作は、コントローラ 31 (第2回参照) のコントロールの下に行なわれる。回路 220 はコントローラ 31 と複数の線 209 によって通信させられている。コントロールからのコマンド情報は直列インタフェース 227 を介してコマンドレジスタ 225 によって、回路 220 内で捕捉される。そしてそれは、コマンドデコーダ 229 によってデコードされ、コマンドデコーダ 229 は種々の制御信号を出力する。同様にアドレス情報はアドレスレジスタ 231 によって捕捉され、そしてアドレスデコーダ 233 によってデコードされる。

一例としてセクタ 211 を消去のために選択するためには、前記コントローラはセクタ 211 のアドレスを回路 220 に送る。このアドレスは、線 235 の中にデコードされ、そしてそれは、レジスタ 221 の出力 239 をハイ (HIGH) にセットするためにイネーブルバス 237 の消去イ

ネーブル信号と共に組み合わせて用いられる。これにより、セクタ 211 は引き続く消去動作が可能になる。同様にしてもセクタ 213 も同様に消去されるべきであると要求されているときは、レジスタ 223 のその関連するレジスタ 23 もハイにセットされるであろう。

第3B図は、レジスタ 221 または 223 の構造をより詳細に示してある。消去イネーブルレジスタ 221 はセットリセットラッチである。そのセット入力端子 241 はアドレスデコード線 235 によってゲートされたバス 237 の消去イネーブル信号セットから得られる。同様にして、リセット入力 243 は線 235 中のアドレスデコードによってゲートされるバス 237 中の消去イネーブル信号をクリアするものから得られる。

このようにして消去イネーブル信号または消去イネーブル信号をクリアする信号がすべてのセクタに発生させられたときにアドレスされたセクタのみにその信号が有効となる。

全ての消去されるべきセクタが選択された後に

コントローラは回路 220、同様に全てのグローバル消去コマンドが 251 によって現れているときに線 209 に沿って消去のための高電圧が発生させられる。

かくしてその装置は、全ての選択されたセクタ (例えばセクタ 211 と 213) が同時に消されるであろう。チップ内の希望するセクタが消去されることに加えて本発明による構造では、同時消去のために異なる種類のチップ上のセクタの選択を許容している。

第4図の(I)～(IV)は、第3A図の回路 220 に関連して用いられるアルゴリズムを図示している。第4図の(I)でコントローラは回路 220 の中でデコードされた消去されるべきセクタに関連させられている消去イネーブルレジスタにアドレスをシフトさせる。第4図の(II)においてコントローラはアドレスされたセクタの消去イネーブルレジスタへアドレスデコードされた信号をラッチするために用いられる消去イネーブルコマンドをセットするためにはデコードする。このタグはそのセクタの

引き続く消去のためである。第4図の(III)において、もしそれ以上のより多くのセクタがタグが付されるべきであるときには消去されるべき全てのセクタにタグが付加されるまで第4図の(I)から第4図の(IV)に示されている関連して記述されている操作を繰り返す。消去されるべき全てのセクタにタグが付された後にコントローラは第4図の(IV)に示されている消去のサイクルを開始させる。

最適化された消去の構成は同時磁頭中の米国特許出願に開示されている。それらは同時出願磁頭中の米国特許出願、出願番号 204,175、エリヤホウ・ハラリ博士によって 1988 年 6 月 8 日に出願されたものと本出願と同時に、サンジ・アイ・メハロトラとハラリ博士によって出願された“多状態 EEPROM の読み書き回路およびその技術”に示されているものである。フラッシュ EEPROM セルは消去パルスを印加することによって消去され、引き続きによりそのセルが消去されて消去状態にあるかどうかということが検証される。もしそうでなかったらそのセルが消され

た状態にあると検証されるまでパルスの印加と検証が繰り返される。

この制御された方法によって消去することによりセルは EEPROM を老化させるかまたはプログラムを困難にするであろう過剰消去にさらされないようにする。

選ばれたセクタのグループが消去サイクルにあるときに他のものはより早く消去された状態に達することがあるであろう。本発明の他の重要な特徴は選択されたグループの中から消去されたと検証されたセクタを除去する能力であり、これにより過剰消去を防いでいる。

第4図の(4)に戻って、全ての消去されるべきセクタにタグが付されるとコントローラはタグが付されたセクタのグループの消去サイクルを開始する。第4図の(5)、消去が行なわれるべきであるタグ EEPROM チップの中にグローバル消去インターブルと呼ばれるグローバルコマンドをシフトさせる。これは第4図の(5)においてコントローラが一定の持続する期間、一定の値だけ消去電圧 (V

た消去から保護される。

どのセクタを消去すべきであるか、消去すべきでないかを選択する能力は、どの消去を止めることが有効であるかと同様に有効である。これにより早く消去されるセクタより前に消去が完了されたものが消去のシーケンスから分離されてその装置により以上のストレスを与えることから保護することができる。

このことにより、システムの信頼性を向上させることができるであろう。もし、セクタが良くないものであるとき、あるいはある理由によって使用できないときそのセクタをとばし、そのセクタにおいて消去が起こらないようにすることに利点がある。

例えばもあるセクタが欠陥をもつていて回路の短絡があったならば、それはより多くの電力を消費するであろう。本発明によっては消去サイクルをとばすことにより、そのチップの中で消去に必要とする電力を減少させることができるという有意義なシステムの利点を得ることができる。

E) を上げるということになる。コントローラはこの電圧を消去期間延長の終わりに低下させる。第4図の(6)においてコントローラは消去のために選ばれたセクタの読み出し検証を実行する。第4図の(7)においてセクタのいずれもが検証されない場合には第4図の(6)から(7)に表示されているシーケンスが繰り返される。第4図の(8)から第4図の(9)において、もし1または2以上のセクタが消去されたと検証されたときは、それらはそのシーケンスから取り出される。同様に第3図 A を参照するとこのことは各検証されたセクタに対応するコントローラのアドレスをバス 237 の中の消去コマンドをクリアすることによって、消去可能なレジスタを低電圧にする。第4図の(10)から(11)に示されているシーケンスは第4図の(9)に示されているようにそのグループが消去されたと検証されるまで繰り返される。

その消去サイクルの完了によってコントローラは不動作状態 (N O P) 命令に移行し、そして、グローバル消去可能コマンドは引き上げられて誤っ

その装置の中で消去されるべきセクタを選びだす能力を持つことはそのシステムの電力消費を少なくするという他の配慮に繋がる。

本発明における消去構造の柔軟性により、そのシステムの電力の能力にしたがって、消去の要求を採用することができる。これは、このシステムをソフトウェアによって、異なった消去の状態を与えるか、または他のシステムとの間の基本的な構造によって与えるかによって成し遂げられるであろう。それは例えばラップトップコンピュータのようなシステムで電圧のレベルを監視することによって消去の量を変化するようにコントローラにさせることもできるだろう。

本発明におけるシステムのさらに他の動作上の能力は、より以上の消去サイクルを防ぐために全ての消去インターブルラッチをクリアするというコマンドをリセットすることができることである。これは第2 A図および第2 B図に図281のリセット信号によって図示されている。

全てのチップに不変的にこの作業を行なうことに

よって全ての消去イネーブルレジスタをリセットする時間を短くすることができるであろう。

その他の付加的な能力はチャップセレクトに無関係に消去動作をする能力をもつことである。あるメモリチャップにおいて消去動作が開始されるとコントローラは他のメモリチャップにアクセスしてそれらの読み、書きの動作をさせることができる。加得るに消去装置の消去を行なっているということが選択され、そして次の消去のためのコマンドのアドレスを蓄積することもできる。

欠陥のマッピング

メモリ装置における物理的な欠陥は困難な誤動作を引き起こす。データは、欠陥のあるセルに蓄積される度に破壊されてしまう。

通常のメモリ装置、例えばラムやディスクにおいてはそのような物理的な欠陥はそのような製造の過程において招来する物理的な欠陥は工場において修正されている。

ラムにおいては、余分の冗長メモリセルがチャップに設けられていて、それが欠陥セルの代わりに接

の代わりのセクタの要請のために、余分なセクタがある間隔で、またはある位置離れて設けられている。これは、メモリの容量を減少させるものであり、どのように代わりのセクタを設けられているかという問題を提供している。

本発明の一つの重要な応用は、フラッシュEEPROMチャップのアレイによって実現されるシステムによって、通常のディスク記憶装置を置き換えることである。このEEPROMシステムは通常のディスクと同様、またはそれ以上であることが好ましく、そうであれば固体素子のディスクとみなして取り扱うことができる。

そのような固体メモリ装置により作られた“ディスク”システムにおいては、欠陥を効率的に処理するために、低価格でそれが成し遂げられるという配慮が必要となる。本発明の他の重要な特徴は、より多くのメモリを可能な限り保存することができるよう誤差修正を可能にすることである。現実問題としてそれはセルごとに欠陥セルが検し出されることにより全体のセクタ、例えば（典型

焼される。従来のディスクドライブ装置において媒体が不完全であるときには、欠陥の問題となりやすかった。これらの問題を解決するために製造業者は存在するこれらの欠陥についてのいろいろな方法を考案しており、そしてもっとも通常用いられるものはセクタの欠陥のマッピングである。通常のディスクシステムにおいては、媒体はシリンドとセクタに分割されている。セクタはデータが蓄積される基礎的な単位である。システムにおいて、種々のセクタに分けられ、悪いものであると印をつけられたものは、そのシステムにおいては使用されないようにする。これは、種々の方法によって実現されている。欠陥マップのテーブルが使用されるディスクの特定の位置に設けられており、インタフェースコントローラを介して利用される。加得るに、欠陥のある悪いセクタは物理的に特殊なIDが施されて、IDとフラッグマークーが付されている。

欠陥のあるものがアドレスされたときは、そのデータは通常は他の代替位置に配置されている。こ

的には512バイト）において、欠陥が起こる度に捨ててしまうことをなくすことである。この提案は特にフラッシュEEPROM媒体に適している。

なぜならば、大多数のエラーはビットエラーとして起こり、通常のディスク媒体において典型的にみられる長く続く近接する欠陥ではないことによる。

ラムと磁気ディスクの両方の先行技術においては、一度その装置が工場から出荷されるとそこでは、通常の動作の後に現れる物理的欠陥から生ずるハードエラーを置き換えるための手段は、ほとんどか全くないことがある。そのために、欠陥の修正は主として誤差修正コード（ECC）を用いることに依存して行なわれている。

フラッシュEEPROM装置の性質上、書き込み／消去の回数が増加するにしたがって、セルの欠陥が次第に増加することが予想できる。このようなハードの誤差が次第に蓄積されていくとECCに打ち勝って、そしてその装置を使用不

能なものにしてしまうのである。

本発明の一つの重要な特徴は、そのシステムのハードエラーが発生することに、そのシステムのハードエラーを修正するという能力をもっていることである。

また、読み出し操作の期間においても、欠陥セルは発見され、そしてECCに位置させられる。

欠陥のセルが特定されると直ちにコントローラはその欠陥セルを通常はそれと同じセクタに存在する空きセルによって置き換えるための欠陥マッピングを供給するであろう。この動的なハードエラーの修正は、通常のエラー修正スキームに加えて裏面の寿命を有效地に引き延ばすことができる。

本発明の他の特徴は、エラー修正へのアプローチに適していることである。エラー修正コード(ECC)は常時ソフトエラーを修正するとともに、発生するであろうハードエラーの修正に利用される。ハードエラーが検出されるや否や、欠陥マッピングはその欠陥セルをその同じセクタブロックに存在する予備のセルと置き換えるために使用さ

れる。欠陥セルの数がその特定のセクタのための欠陥マッピングの能力を越えた場合においてのみ、その全体のセクタは、通常のディスクシステムに置き換えられる。この計画により、信頼性を損なうことなく最小の損失で食い止めることができる。

第5図は、セルをリマッピングする計画のメモリ構造を図示したものである。前述したように、このフラッシュEEPROMメモリはセクタに分けられており、各セクタに属するセルは同時に消去可能である。典型的なセクタ401のメモリ構造はデータ部分403と補助の（または影の）部分405に組織されている。データ部分403はユーザーによって使用可能なメモリ空間である。予備の部分405はさらに欠陥データの代替部分領域407、欠陥マッピング領域409、ヘッダ領域411、およびECCと他の領域413に組織されている。これらの領域はコントローラが欠陥領域とか他の上位の情報、例えばヘッダとかECCを操作する場合に利用することができる。

セクタの中で、一つの欠陥セルが発見される度

に欠陥データ領域の代替部407の中の一つの良品のセルが欠陥セルと指定されたデータをバックアップするために割当てられる。かくして、もし仮に、欠陥セルにデータが誤って記録されたとしてもバックアップセルの中には誤差のないコピーが蓄積される。欠陥セルとバックアップセルのアドレスは欠陥マップ409の中の欠陥ポインタに記録される。

ユーザーデータ領域403と余分なスペース部分405の間は厳密に区別される必要がないというように理解されたい。各々に割当られた領域の相対的な大きさは論理的に再割当することができる。さらにまた、種々の領域のグループ分けは、主として理論のために必要であって、物理的に必要なものではない。例えば欠陥データ領域の代替部407は、予備の領域405の中にそれが専有する領域はユーザーは利用できないものであることを示すだけのものである。

読みの動作においてコントローラは最初にヘッダ、欠陥マップ、それから代替欠陥データ部分を

読む。それから現実のデータを読む。

それは欠陥マップによって欠陥セルのトラックと代替データの位置を保っている。欠陥セルに遭遇するため、コントローラはその悪いデータを欠陥代替セルの良いデータで代用する。

第6図は、好みの実施例のリードデータバスコントロールを図示している。メモリ装置33はコントローラ31の支配下にある複数のフラッシュEEPROMチップを含んでいる。

コントローラ31それ自身は、マイクロプロセッサ（図示せず）の制御下にあるマイクロプロセッサシステムの一部を形成している。

セクタの読みを開始するにあたり、マイクロプロセッサはコントローラ中のアドレス発生器503に読み操作を開始するためのアドレスをロードする。この情報は、マイクロプロセッサのインターフェースポート505を介してロードされる。

それから、マイクロプロセッサはDMAコントローラ507にバッファメモリまたはデータリードが送られるべきアドレスバスのスタート位置をロー

ドする。それからマイクロプロセサはヘッダの情報（ヘッド、シリンド、セクタ）をホールディングレジスタファイル509にロードする。最終的にマイクロプロセサはコマンドシーケンサ511にコントローラ31へのパッシングコントロールの前にリードコマンドをロードする。

コントロールを開始した後に、コントローラ31はまず初めにセクタのヘッダにアドレスし、そしてユーザーが指定したアドレスの位置でメモリがアクセスされたことを検証する。

これは次のシーケンスによって実現される。コントローラはメモリ装置33の中の一つのメモリチップ（チップセレクト）を選択し、そしてヘッダ領域のアドレスをアドレス発生器-503の出力からメモリ装置33の選択されたメモリへシフトする。

コントローラはマルチブレクサ513をスイッチし、そしてメモリ装置33にリードコマンド出力をシフトする。

それからメモリ装置は送られたアドレスを読み、

そしてコントローラにアドレスされたセクタからの直列データの送信を開始する（送り戻しを開始する）。

コントローラ中のレシーバ515はこのデータを受け、そしてそれを並列のフォーマットにする。一つの実施形態においては、1バイト（8ビット）が一度にコンパイルされ、マイクロプロセサによってホールディングレジスタファイル509に予め記憶されたヘッダ情報と受信したデータとを比較する。もし、その比較の結果が正しければ、正しい情報、正しい位置がペリファイ（検証）されて動作は継続する。

次にコントローラ31は欠陥ポインタを読み、これらの悪いアドレスの位置をホールディングレジスタファイル509にロードする。

これにコントローラの欠陥データの読み取りが続き、その欠陥データの代替は、それが書込まれたときに、その誤ったビットを置き換えるために、書込まれているものであった。

代替ビットは、欠陥データの代替ファイル517

の中に蓄積されており、それはデータビット。そのデータビットが読まれたときに、アクセスされるであろう。

ヘッダがマッチしており、そして欠陥ポインタと代替ビットのロードが完了すると、コントローラは読まれるべき希望するセクタの最低のアドレスのシフトアウトを開始する。

メモリ装置33の中のセクタからのデータはコントローラチップ31に移送される。受信機515はそのデータを並列形式に変換し、各バイトを一時的なホールダであるFIFO519へコントローラから送り出されるべく移送する。

パイプライン構造が受信機515から、FIFO519へコントローラを開始してデータがゲートされるときの有効な処理能力を提供するために用いられる。

各々のデータビットがメモリから受信されたときに、コントローラは送られるべきデータのアドレス（アドレス発生器507に蓄積された）を欠陥ポインタマップ（レジスタファイル509に蓄積

された）と比較を続ける。もし、比較器521の出力のマッチにより、そのアドレスが悪い位置にあると決定されると、受信機515により受信されたメモリからの悪いビットは、その位置の良いビットと置き換えられる。良いビットは欠陥データ代替ファイルから得られる。これは受信機515からの悪いビットの代わりに、欠陥データ代替ファイルからの良いビットを受信するようにマルチブレクサ523をスイッチングすることによってなされる。

FIFOの中に修正されたデータがあるときに、それはバッファメモリまたはシステムメモリ（図示せず）へ送られるべき状態にある。

そのデータはコントローラのFIFO519からコントローラのDMAコントローラ507によってシステムメモリへ送られる。

このコントローラ507はそれからリクエストしてシステムバスへのアクセスを得、そして一つのアドレスを出し、そしてデータを出力インターフェース255経由でゲートしてシステムバスへ出す。

これは各バイトがFIFO519へロードすることによってなされる。

修正されたデータがFIFOにロードされると、それはまたECCハードウェア527にもゲートされ、そこでデータファイルはECCによって処理される。

このように前述した方法により、メモリ装置33から読まれたデータはコントローラ31を介して前記システムに送り出されるべくゲートされる。このプロセスはアドレスされたデータの最後のビットが送達されるまで続く。

前もって検出された欠陥セルの欠陥マッピングにもかかわらず、最後のマッピング移行に新しいハードの誤りが発生するかもしれない。ダイナミック欠陥マッピングが恒久的に新しい欠陥セルを押し出すにしたがって欠陥マッピングの間に発生するであろう最新のハードの誤りはECCによって十分に取り扱われる。

データがコントローラ31によってゲートされるにしたがってコントローラは蓄積されていた値が

ちょうど計算された残りの値とマッチするかどうかを決定するために、ECCビットをECCハードウェア227へゲートとして入れる。もしそれがマッチすればシステムメモリに送達されたデータは正しいものであったとして、読み込み動作は完成させられた。

しかしながら、もしECCレジスタに誤りがあったならば、システムメモリに送られるデータについての修正計算が行なわれる。そして修正されたデータが再送信される。

誤りを計算する方法はハードウェアでもソフトウェアでも通常の方法によって行なわれる。ECCは誤差に原因する欠陥セルについての計算と位置出しをすることができる。これはコントローラ31によって欠陥セルが発見されたセクタに関連して欠陥マップを更新するのに用いられる。このようにしてハードエラーは常にフラッシュEEPROMシステムから除外される。

第7図は、好みの具体例における書き込みデータバス制御を図示している。

書き込みの順序の最初の部分は既に説明した読みのシーケンスと共通している。マイクロプロセッサはまず最初に読みのシーケンスと同様にメモリ装置33とDMAのためのアドレスポインタをロードする。

それは置まれるヘッダをアドレス発生器503にロードし、そしてコマンドキューをコマンドシーケンサ511にロードする。コマンドキューはリードヘッダコマンドファーストと一緒にロードされる。

その後、制御はコントローラ31に渡される。

コントローラはそれからアドレスとコマンドをメモリ装置33にリードシーケンスと同様にゲートする。

メモリ装置は、ヘッダデータをコントローラの受信機515を介して戻す。コントローラは受信したヘッダデータを予期された値(ホールディングレジスタ509に蓄積されていたもの)と比較する。

もし比較の結果が正しかったならば、正常な位置

がペリファイ(検証)されたものであって、シーケンスが連続する。それからコントローラはメモリ装置33からの欠陥アドレスポインタをホールディングレジスタファイル509にロードし、代替データを欠陥データ代替ファイル527へロードする。

次にコントローラはシステムメモリ(図示せず)から書き込みデータのフェッチを開始する。

コントローラはこれをシステムバスにアクセスすることにより行い、記憶またはバスアドレスを出力し、リードサイクルを行なう。

コントローラはデータをインプット入力インタフェース603を介してFIFO601に引き込む。そしてコントローラはそれから、スタートティングセクタのアドレス(最も低いバイトのアドレス)をアドレス発生器503から選ばれたメモリ装置33へシフトする。これはFIFO601からのデータによって追従される。

これらのデータはマルチプレクサ605と513を通じて送られ、そしてメモリ装置33に送り出

される前に直列フォーマットに変換される。

このシーケンスは書きサイクルのためのすべてのバイトが選ばれたメモリにロードされるまで続く。

データが FIFO からゲートされて、選択されたメモリ 33 にゲートされるときに効果的な有効な処理能力を提供するためにパイプライン構造が採用されている。

データは FIFO 601 からゲートされて ECC ハードウェア 527 へ送られ、ここにおいて、残りの値は ECC の中に計算されるであろう。

次のステージにおいてデータがマルチプレクサ 805 と 513 を介してメモリ装置に送られているときに比較器 521 はアドレス発生器 503 からのそのアドレスをホールディングレジスタファイル 509 にある欠陥ポインタのアドレスと比較する。

マッチが発生したときは、欠陥位置が書き込まれようとしていることを示し、コントローラはこのビットを欠陥データ代替ファイル 517 へ記録する。同時にメモリに送られる全ての誤りビットは 0 と

ログラムされるまで繰り返す。

もし、一つのビットがプログラム/ベリファイ(検証)サイクルを経た後でもベリファイ(検証)に失敗したときは、コントローラはそのビットを欠陥ビットであると指定し、そしてそれにしたがって欠陥マップを更新するであろう。更新は欠陥セルが検出されるや否や、ダイナミックに行なわれる。同様な操作が消去ベリファイ(検証)の失敗の場合においても、採用される。

全てのビットがプログラムされてベリファイ(検証)された後に、コントローラは FIFO 601 から次のデータビットをロードし、アドレスセクタの中の次の位置をアドレスする。そしてコントローラはそれから他のプログラム/ベリファイ(検証)シーケンスを次のバイトについて行なう。このシーケンスはそのセクタの最後のデータまで、連続して行なわれる。

一度このことが発生するとセクタ(第 5 図参照)に関連する他のメモリ(ヘッダ領域)をアドレスし、そして ECC レジスタの内容をこの領域に書

して送られるであろう。

選ばれたメモリ装置の中に書き込みサイクルのバイトがロードされた後に、コントローラはプログラムコマンドをメモリ装置に発生して書き込みサイクルを開始する。

フラッシュ EEPROM 装置のための書き込み操作の理想的な構造は先に引用した同時競合中の米国特許出願、出願番号 204,175 等であって、一つは多状態 EEPROM の読み、書き回路と技術と呼ばれているものに示されており、前記関連する部分をここで参考として挙げる。

簡単に言えば、書き込みのサイクルの間にコントローラはプログラム(または書き込み)電圧パルスを供給していることである。

これは、全てのビットのプログラムが適当であるかということを決定するためのベリファイ(検証)読みが続く。

もし、そのビットがベリファイ(検証)されなかったときは、コントローラはプログラム/ベリファイ(検証)サイクルを全てのビットが正しくブ

込む。

さらに、欠陥があるとしてフラグがたてられそして欠陥データ代替ファイル 516 の中に書かれたビットの集合は代替欠陥データ位置(第 5 図参照)に書き込まれ、これによって引き続き読みに使用される良いビットの値を保つ。一度これらのデータグループが書き込まれ、そして検証されるとそのセクタの書き込みは完全なものと考えられる。

この発明は全体のセクタの欠陥をマッピングする規定をもっているが、しかしそれはその特定のセクタの欠陥セクタマッピング能力を超える欠陥が存在した後のことである。各セクタの中における欠陥セルの数としてカウントが保存される。あるセクタの中の数がある一定量を越えたときに、コントローラはそのセクタは欠陥としてそれを他のセクタにマップする。

関連するセクタの欠陥ポインタは欠陥セクタマップの中に保存されるであろう。セクタ欠陥マップは最初の欠陥セクタにおいて、その余分な領域が

欠陥がない場合において受け、そのセクタの中に受けられる。しかしながら、セクタのデータ領域が大量の欠陥が発生した場合においては、その余白の領域も同時に欠陥が多くなる可能性が強い。

そのような理由により、他の実施例においては、コントローラに保持される他のメモリの中に、セクタマップを位置させることが好ましい。

メモリはコントローラのハードウェアか、またはフラッシュ EEPROM のメモリから離れた部分に位置させられるであろう。コントローラがアクセスで多領域のアドレスを与えられると、そのコントローラはこのアドレスをセクタ欠陥マップと比較する。

もし、マッチが起こるならば欠陥セクタへのアクセスが拒否され、そして欠陥マップの中に存在する代替アドレスが入力され、そして対応する代替セクタが代わりにアクセスされる。

さらに他の具体例においてはセクタの再マッピングはマイクロプロセサによって遂行される。マイクロプロセサは入ってきたアドレスとアドレス

かということが必要なだけである。

本発明のさらに他の特徴は欠陥マッピングは、セクタにまたはセクタからの移動させられるデータの流れを妨げる必要がない状態で構成されていることである。

ロック中で誤りを含むデータはそれに係わらず返送され、そしてそれは後に修正される。順次アドレスを保存することによって、それ自身高い速い速度を得ることができるであろう。

さらにまた、それはその装置の読み書きのデータバスにおける効果的なバイオペーライン構造の実現を許容する。

書き込みキャッシュシステム

キャッシュメモリは一般的に速いアクセスの装置のシステムの能力の速度を上げるために用いられている。例えば、コンピュータシステムにおいてディスク貯蔵からのデータのアクセスは速い。そしてもしデータがより速いRAM (RAM) から得られるならば、スピードはより速くなるであろう。典型的に、RAMのシステムの部分はディスク

を見てそれをセクタ欠陥マップと比較する。もしマッチがあれば、それはコントローラにコマンドを発生する代わりに、新しいコマンドとして他の位置を代替する。

固体ディスクのより速いスピードから離れて、さらに他の利点は、機械的な部分が存在しないということである。

ディスク駆動に本来的に存在する回転性に原因する長いサーチ時間は存在しない。さらにこれに加算するに、長い同期時間、同期マークの検出時間、書き込みギャップ等も必要でない。

かくして、どこに読み出されるべきデータが存在するか、またはどこに書き込まれるべきであるかという位置にアクセスするために必要なオーバーヘッド時間はより少なくなる。

これらの単純性、および無理がないということは、オーバーヘッドを少なくしたより速いシステムとして現れる。加算するに、ファイルはメモリの中に希望する任意のアドレスの順序で配列され、そしてコントローラには必要なデータにどうして得る

からもっとも最近にアクセスされたものを仮に保持するためにキャッシュが使用されている。

次にそのデータが要るときには速いディスクの代わりにより速いキャッシュからそれを得ることができる。そのシステムは、同じデータが繰り返されて使用されるような状況において、うまく動作する。

これは最も多くの構成やプログラムにおいて見られるものであり、これはコンピュータというものはプログラムを走らせていくときには、非常に狭い記憶領域でのみ働く傾向があるからである。

キャッシングの他の例は通常より安いが、しかし速いDRAMにアクセスする時間を遅くするために、より速いSRAMキャッシュを利用することである。

通常のキャッシングの設計は、メモリからの読み取りのスピードアップのためのリードキャッシングである。

ある状況においては、メモリに書き込む速度を上げるために、書き込みキャッシングが使用される。

しかしながら、キャッシュには同時に書き込まれるのに対して、システムメモリ（例えばディスク）への書き込みの場合においては、データはそれらが発生することにその都度直接書き込まれる。これは電力がなくなったときに更新され、ファイルが無くなってしまうという懸念のために、このことが成されるのである。

もし書き込みデータがキャッシュメモリ（揮発性）にのみ貯蔵されているときに、電力が無くなるということは新しく更新されたデータが、システムメモリ（不揮発性）の中の古いデータを更新する前に、キャッシュメモリから更新されたファイルがなくなってしまうということである。

これらのファイルが引き続き利用されるときには、そのシステムは古いデータに基づいて操作されるということになるであろう。主メモリを毎回書き込む必要性は、キャッシュ機構を書き込みのために遠してしまうことになる。リード（読み出し）キャッシュにおいては、この懸念は全くなく、キャッシュからなくなるであろうデータはディスクで

システムは、多過ぎるプログラム／消去の回数に耐えることから切り離すことができるよう新規な方法で用いられる。

キャッシュの第1次的な機能は、フラッシュEEPROMメモリに書き込むために用いられ、従来のキャッシュの使用とは違ってフラッシュEEPROMメモリからの読みには用いない。

フラッシュEEPROMメモリに書き込む代わりに、毎回データは更新され、そのデータはフラッシュEEPROMメモリへ送られる前に、キャッシュの中で、数回動作させられるであろう。

これにより、フラッシュEEPROMメモリへの書き込みの回数を減らすことができる。さらにまた、主としてより遅いキャッシュメモリの中に書き込むことにより、より遅いフラッシュEEPROMへの書き込みの回数を減らし、全体のシステムにおける書き込み効率を増強させることができるという利点が得られる。

本発明を実現するにあたって、比較的小さい大きさのキャッシュメモリが極めて有効である。

バックアップされているからである。

本発明においては、フラッシュEEPROMのシステムは従来のディスク形の貯蔵装置をもつシステムに置き換えて用いられる。

しかしながら、フラッシュEEPROMは過度のプログラム（消去サイクル）による消耗に曝されている。

同時に現中の米国特許出願、出願番号第204,175、発明の名称“多状態のEEPROM読みおよび書きサーキットとその技術”，サンジョイメハロボラとエリヤホウ・ハラリ博士により本発明と同時に出願された類似に開示されている改良されたフラッシュEEPROMメモリ装置においてさえ、耐久力の限界はほぼ10⁵のプログラム／消去サイクルに限定されている。この装置の寿命を10年に引き延ばして考えてみると5分間に1回ずつの消去に限定される。

これは通常のコンピュータの使用においては限界的なものである。

この問題を解決するために、キャッシュメモリ

これは電源断の間に揮発性のキャッシュメモリの中におけるデータ損失の問題を克服するのに役立つ。

そのようなときには、キャッシュメモリを十分長い時間、十分な電源で維持することと、フラッシュEEPROMメモリの中に特別に予約された空間である不揮発性メモリの中にそれらのデータを詰め込んでおくということもできる。

このシステムにおける電力断、または電力障害において、書き込みキャッシュシステムは全体のシステムから切り離されて、準備されていた再充電可能な電力供給はキャッシュシステムの電源とフラッシュEEPROMメモリに準備された空間への電源にのみ利用される。

第8図は、本発明による装置のコントローラの一端を形成するキャッシュシステム701を略図的に示した図である。

キャッシュシステム701の一方側はフラッシュEEPROMメモリアレイ33に接続されている。一方側において、それはマイクロプロセッサステ

ム（図示せず）にホストインタフェース703を介して接続されている。このキャッシュシステム708は2つのメモリをもっている。

1つは一時的に書き込みデータファイルを保持するキャッシュメモリ705である。他はキャッシュメモリ705の中に保持されるデータファイルに関連する情報を貯蔵するためのタグメモリ709である。メモリタイミング/コントロール回路713はキャッシュメモリ705からフラッシュEEPROMメモリ33へのデータファイルの書き込みを制御する。

メモリコントロール回路713はタグメモリの中に蓄積されている情報と同様にマイクロプロセッサシステムの電源装置にホストインタフェース703と接続717を介して接続されている電力検出入力715に応答させられる。

マイクロプロセッサシステムの電力の劣化はメモリコントロール回路713によって検出され、それは揮発性のキャッシュメモリ705の中のデータファイルの全てを不揮発性のフラッシュEEPROM

メモリ33にダウンロードするであろう。

本発明において、フラッシュEEPROMメモリアレイ33は、セクタ（典型的には512バイトの大きさ）に組織されており、各セクタ内の全てのメモリセルは、一緒に消去可能である。

かくして各々のセクタは、データファイルとみなされ、そしてメモリアレイ上の書き込み操作は、1または2以上のそのようなファイルにおいて行なわれる。

フラッシュEEPROMメモリ33の中における新しいセクタの読みの間、データファイルは読み出されて直接的にホストを介してコントローラに送られる。

このファイルは通常のキャッシュシステムにおいて行なわれていたようにキャッシュメモリ705を横たすために使用されない。

ホストシステムがファイルの中のデータの処理を完了して、それをフラッシュEEPROMメモリ33の中に書き戻そうと希望したときに、それはキャッシュシステム701に書き込みサイクルの要

求によりアクセスする。

コントローラはこれによりこの要求を受け入れてそのサイクルで動作させる。

本発明の1つの具体例においてはデータファイルはキャッシュメモリ705へ書き込まれる。

同時にデータファイルに関連する他の2つの情報片はタグメモリ709に書き込まれる。第1のものはファイルポインタであってキャッシュメモリ705の中に存在するファイルを規定する。

第2のものはタイムスタンプであり、それはキャッシュメモリの中に最も最後にファイルされたかの時間を物語るものである。

このようにしてホストがフラッシュEEPROMメモリ33に書き込みを試するときはいつでも、そのデータファイルはポインタとタグメモリ709の中のタイムスタンプとともにキャッシュメモリ705の中に最初に現実に貯蔵されたものである。

本発明のさらに他の具体例によれば、ホストからの書き込みがあったときは、予め定めた時間（例えば5分間のみ）の間にどこかでさらに書き込まれたデータファイルであるかどうかを見てチェックする。

に存在していたものであったのか、またはタグメモリ709の中においてタグが着けられたもののいずれかであったかを見ることによりチェックする。もしそれがタグが着けられていなかったならばフラッシュメモリ33に書き込まれる。一方、その標識とタイムスタンプはタグメモリ709に書き込まれる。

もし、そのファイルすでにキャッシュメモリの中に存在するか、タグが着けられたものであったならば、それはキャッシュメモリの中で更新され、フラッシュメモリの中には書き込まれない。

この方法によりしばしば用いられないデータファイルのみがフラッシュメモリに書き込まれる一方、しばしば用いられるデータファイルはキャッシュメモリの中に捉えられている。

本発明のさらに他の具体例によれば、ホストからの書き込みがあったときは、予め定めた時間（例えば5分間のみ）の間にどこかでさらに書き込まれたデータファイルであるかどうかを見てチェックする。

もしそうでなかったならばフラッシュメモリ33に書込まれる。一方、その標識とタイムスタンプはタグメモリ709に書込まれる。

もし、そのデータファイルが予め定めた時間間隔内に書込まれたものであったならば、それはキャッシュメモリ705の中に書込まれ、フラッシュメモリへは書込まれない。

同時に、その標識とタイムスタンプはタグメモリ709へ他の実施例と同様に書込まれる。この方法においても同様にほとんど使用されないデータファイルのみがフラッシュメモリに記録される一方、しばしば使用されるデータファイルはキャッシュの中に記録されている。

全ての具体例において、いつでもキャッシュメモリ705は充填されるように使われる。

コントローラが予め決めた十分に満たされた状態に達したことを検出したときにはコントローラはキャッシュメモリ705の中のその他のファイルに優先してフラッシュメモリ33の中に書込むことによって保存することを開始する。

動作させられる度ごとにコントローラによって集積される。

このタイミングはタイマ711によって提供されている。すべてのタイムステップ（カウント）にコントローラはキャッシュメモリの中のデータファイルに系統的にアクセスしてこのデータファイルのために、最後に書き込まれスタンプを読む。コントローラはそれからこのタイムスタンプを他のタイムステップ（すなわちカウントを1上昇）で加算する。

ファイルのタイムスタンプに対して、そのファイルの活動にしたがって2つのことが起こる。

1つの可能性は、そのタイムスタンプが新しい活動が発生したという事象によってリセットされることである。他の可能性はそのファイルについて新しい活動を発生しないで、そのタイムスタンプがキャッシュから除去されるまで加算されることである。現実問題として最大の限界は、もしファイルが更新（新しい活動が発生したこと）のときにピットの位置は、シフトレジスタの最初の位置

いずれの具体例においても、キャッシュメモリ705はいつでも充填される方向にスタートさせられている。コントローラがある定められた満たされた状態に達したことを検出したときにはコントローラはキャッシュメモリ705の中に他のものに優先してあるファイルの保存をフラッシュメモリ33の中にそれらを書込むことによって開始する。

これらのファイルのためのファイルの標識であるタグビットはそのときにリセットさせる。そしてこれらのファイルが書き替わったものであることを示す。これにより、キャッシュメモリに入ろうとする新しいデータのための空間が形成される。

コントローラは新しいよく動くファイルのための空間を形成するために、最初に動かされた最も活用されないファイルをフラッシュメモリ33にもどすことに対する責任ももたされている。

各ファイルの活動の水準を追跡して保持するために各ファイルのためのタイムスタンプはそのファイルの新しい活動のためにリセットされない限り、

にセットされるであろう。

一方、ファイルが不活動状態にあるときにはある場合においてピットは次第に最終的なシフト位置に向かってシフトされるであろう。各ファイルのカウント値は各タイムステップごとに貯蔵され、それから加算されていく。各加算の後で、カウント値はマスター・カウントと比較され、その差は問題の時間遅れである。

かくして、もしファイルが活動状態であれば、その加算されたタイムスタンプはデータファイルが書き換えられる度に当初の値にリセットされてもどされる。

この方法により、常に更新されているファイルは低いスタンプ標識を持ち、そしてその動作が減少するまで、キャッシュメモリの中に保存されるであろう。不活動の期間が経過した後に、それらは最大のタイムスタンプ標識を得る。

使われていないファイルは次第にフラッシュメモリの中に貯蔵され、新しい、より使用されるファイルのためにキャッシュメモリの中のスペースを

空けていく。

タグメモリの中においてもスペースはこれらの不活性なファイルがフラッシュメモリに移動されたにしたがってあけられていく。

いつでもキャッシュメモリに入ろうとする新しいデータファイルのために場所が空けられている必要があり、コントローラはいくつかの古いファイルを除去してそれをフラッシュメモリ 33 の中に保存する。

スケジューリングはコントローラの中のメモリタイミング/コントロール回路 713 によってなされる。ファイルを保存することについての決定はいろいろな領域に基礎づけられている。コントローラがそのシステムにおける書き込みの発生頻度をいつも監視しており、キャッシュがどの程度満たされているかをみている。

もし、キャッシュの中に、空き部屋、空間、空き時間がときには保存がされる必要はない。もし、より多くの空き部屋が要求されるときは、最も早い時間のタイムスタンプをもつファイルが最初に移

動され、フラッシュメモリに転送される。

本発明はコントローラの中のハードウェアの中の構成に関連して記述されてきたが、他の構成が可能であるというようにも理解されたい。

例えば、キャッシュメモリはそのシステムの中のどこに存在してもよいし、また現存するマイクロプロセサシステムに用いられるソフトウェアによって実現されても良い。そのような変形は本発明の方の範囲内にある。

いかに多くの回数データがフラッシュメモリに書き戻されたかというプロファイルはいろいろな要素のもとで決定される。

それは、キャッシュメモリの大きさとそのシステムにおける書き込みの発生頻度に依存する。

小さなキャッシュメモリシステムの場合では、最も頻度の高いファイルのみがキャッシュ化されるだろう。より少ない頻度でアクセスされるファイルはキャッシュメモリの大きさを増大することに関連してキャッシュ化されるであろう。本発明、すなわち比較的安くて小さい量のキャッシュメモリを使用する場合においては、好みくは 1 メガバイト程度のものの利用が有効である。

最も良く用いられるファイル（例えば上位 5%）に正常に書き込まれないようにすることにより、フラッシュ EEPROM の書き込み頻度は、各ミリ秒ごとのものを 5 分毎秒程度に減少させることができるであろう。

これにより、メモリの使い尽くし時間は、ほとんど永久というように延ばすことができる。この改良は書き込み時間中のシステムの動作能率を向上させるという改良になって現れる。

タイムタグをライトキャッシュの概念の中に実現するということは、ライトキャッシュバッファメモリを比較的小さくするという利点となり、その理由は、それがしばしば、書かれるデータファイルの貯蔵に用いられ、その他のファイルはフラッシュ EEPROM メモリに直接書き込まれるのである。第 2 の特徴は、ライトキャッシュバッファの入出で、ある移動データファイルの管理は、次にどのデータファイルが呼ばれるかという進んだ

知識を要求されないので、自動化できることである。

本発明のいろいろな側面がフラッシュ EEPROM システムの中で、フラッシュ EEPROM システムを通常の不揮発性大量記憶測定の有力な新しい代替物となるということについて記述されてきた。

しかしながら、いろいろ説明してきた本発明の種々の側面は好みしい実施例形態であって、当業者はそれらの変形例はそれらについて種々の変形が可能であると理解できるであろう。

したがって、本発明は添付の特許請求の範囲の全範囲において保護が与えられるべきものである。

4. 図面の簡単な説明

第 1 A 図は、本発明によるフラッシュ EEPROM メモリシステムを含むマイクロプロセサシステムのブロック図である。

第 1 B 図は、ある数のフラッシュ EEPROM メモリチップと一つのコントローラチップを含むシステムを示すブロック図である。

第2図は、消去されるべく選択されるメモリセクタを含むフラッシュEEPROMチップシステムの略図である。

第3A図は、本発明による多数のセクタの選択的消去を実現するためのコントローラの回路を示すブロック図である。

第3B図は、第2A図に示された消去のために一つのセクタを選択するために使用される典型的なレジスタの詳細を示す回路図である。

第4図は、複数のセクタ消去選択の消去シーケンスを図示した流れ図である。

第5図は、一つのフラッシュEEPROMセクタをデータ領域と予備の冗長領域に分けたことを示す略図である。

第6図は、本発明による欠陥マッピングを使用した読み操作中におけるデータバスを示したブロック図である。

第7図は、本発明による欠陥マッピングを使用した書き込み時におけるデータの制御バスを図示したブロック図である。

第8図は、コントローラの中の書き込みキャッシュ回路を図示したブロック図である。

21…マイクロプロセッサ

23…システムバス 25…RAM

27…I/O装置 29…パルクメモリ

31…メモリコントローラ

33…EEPROMアレイ(メモリ)

35, 37…シリアルデータ線

39…データバス

40…インターフェース回路

41…システム制御線

43, 45, 47…EEPROMチップ

49, 51, 53…チップセレクト(イネイブル)

57…論理およびレジスタ回路 59…バス

201, 203, 205…EEPROMチップ

209…線

211, 213…セクタ

221, 223…レジスタ

225…コマンドレジスタ

227…シリアルインターフェース

229…コマンドデコーダ

231…アドレスレジスタ

233…アドレスデコーダ

503…メモリアドレス発生器

505…ポート(μpインターフェース)

507…DMAコントローラ

509…ホールディングレジスタファイル

511…コマンドシーケンサ

513…マルチブレクサ 515…受信器

517…欠陥データ代替ファイル

519…FIFO

521…コンバレータ

523…マルチブレクサ

525…出力インターフェース

527…ECCハードウエア

601…FIFO

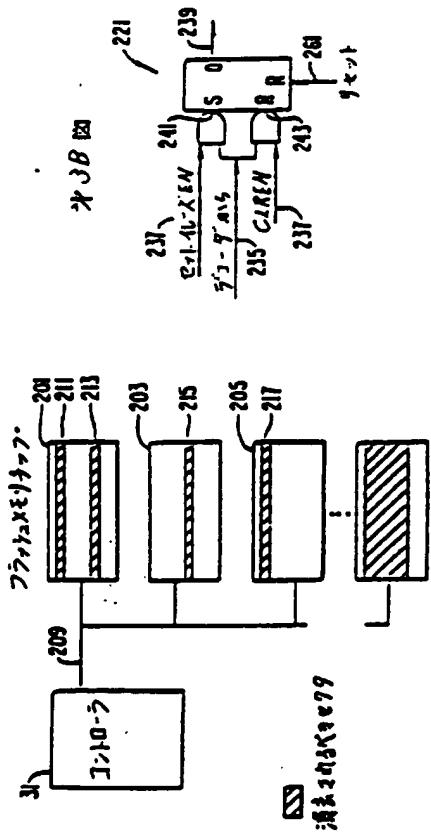
603…インターフェース

605…マルチブレクサ

特許出願人 サンディスク コーポレイション

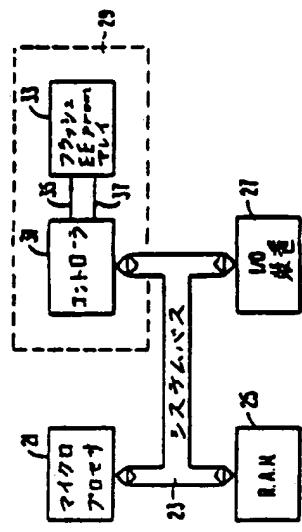
代理人弁理士 井ノ口 勝

四二六

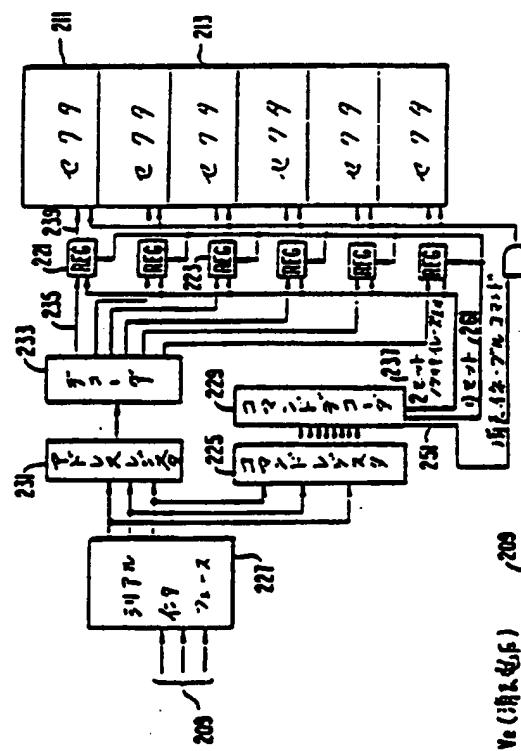


卷之三

卷八



四
才



111

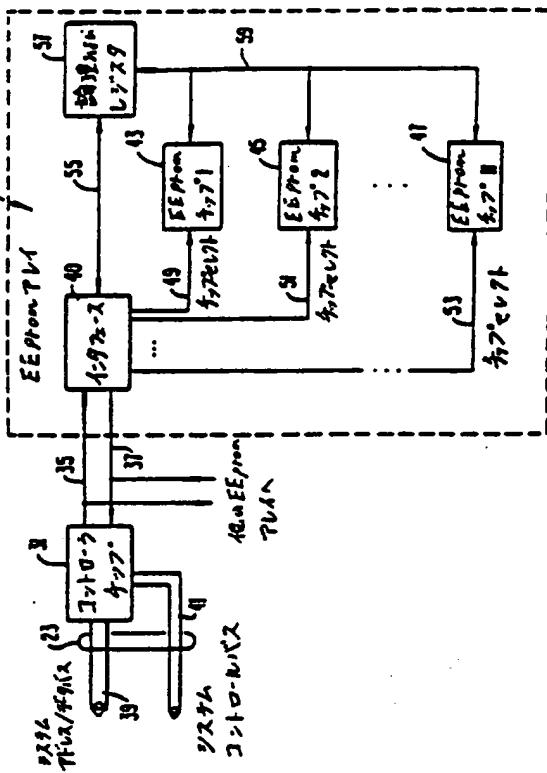


図 4

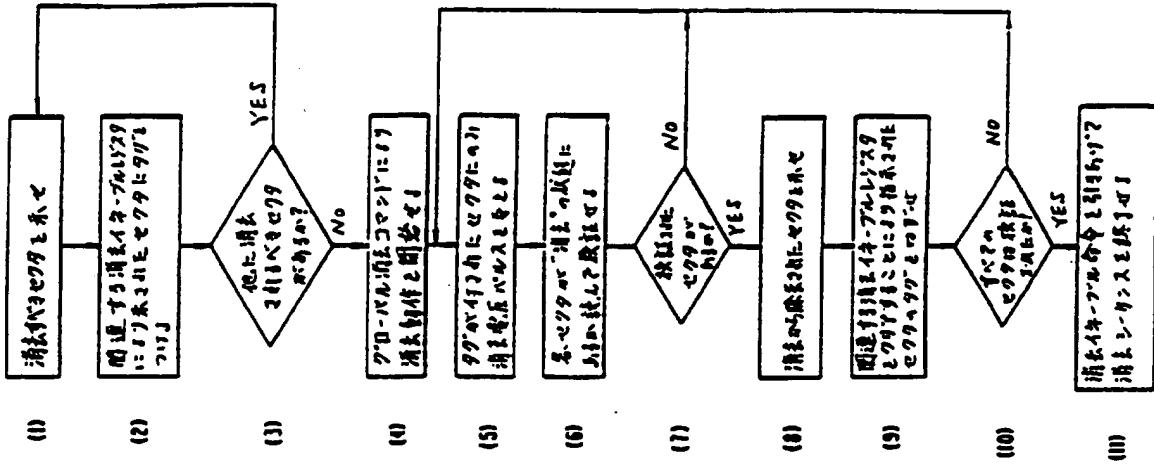


図 5

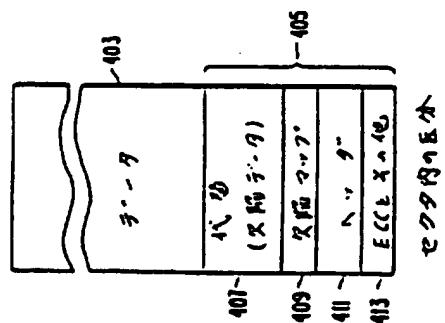


図 6

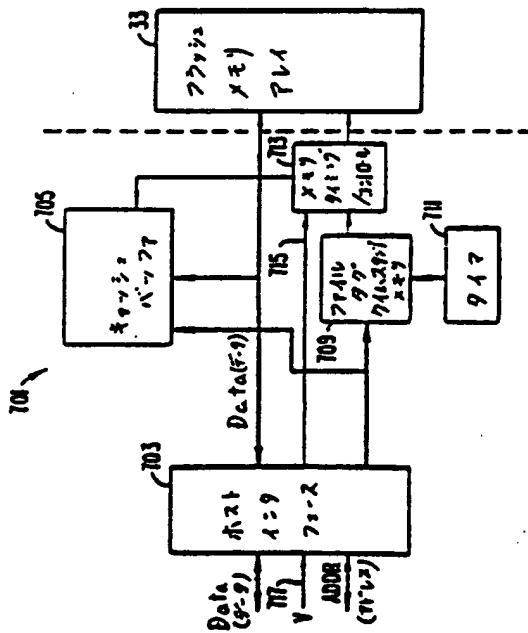
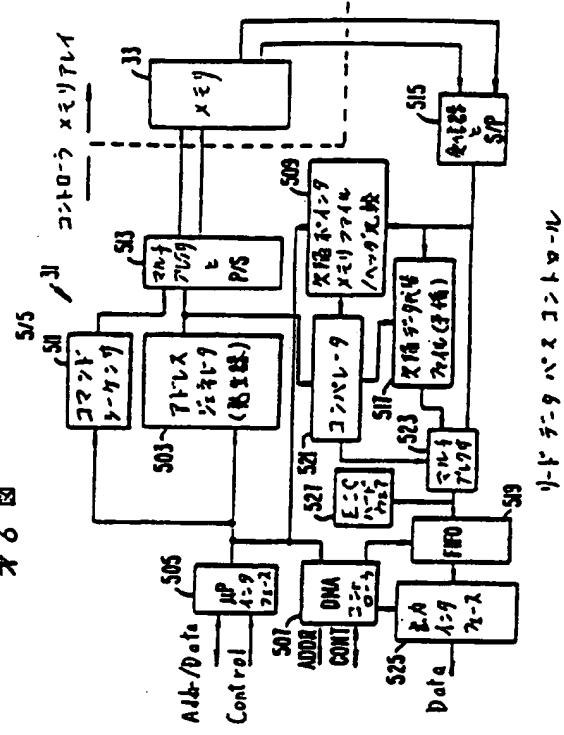


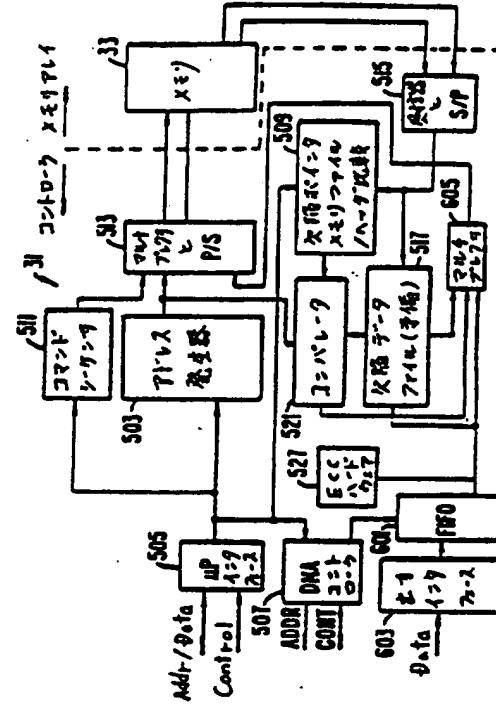
図 7

図6



ババコントローラー

図7



ババコントローラー

第1頁の続き

⑤Int.Cl. 5

H 01 L 21/82
27/115
29/788
29/792

識別記号

庁内整理番号

7514-5F
8526-5F

H 01 L 29/78
21/82

371

R

手 続 程 正 事

平成 2年 5月 28日

特許庁長官印

1. 事件の表示

平成2年 特許願 第99114号

2. 発明の名称

フラッシュEEPROMシステム

3. 指正をする者

事件との関係 特許出願人

住 所

サンディスク コーポレイション

名 称



4. 代理人

住 所 〒160 東京都新宿区歌舞伎町2丁目45番7号
大蔵ビル4F 電話 (03) 209-1004氏 名 (7514)弁理士 井ノ口 雄二
井ノ口 雄二

5. 指正命令の日付 自 発

附書の特許出願人の代表者の権
限面 および 委任状および証文

6. 指正の対象

7. 指正の内容

- 指正を指正する。
- 図面の内容 (内容に変更なし)。
- 委任状および証文を指正する。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.